

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
27. Januar 2005 (27.01.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/008896 A1

(51) Internationale Patentklassifikation⁷: **H03M 1/10**,
G01R 31/3167, H03K 5/13

(21) Internationales Aktenzeichen: PCT/DE2004/001148

(22) Internationales Anmeldedatum:
4. Juni 2004 (04.06.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 32 008.3 14. Juli 2003 (14.07.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): DWORSKI, Claus

[AT/AT]; Franz Pehr Strasse 13b, A-9500 Villach (AT).
SATTLER, Sebastian [DE/DE]; Severinstrasse 5, 81541
München (DE).

(74) Anwalt: SCHÄFER, Horst; Kanzlei Schweiger & Part-
ner, Karl-Theodor-Strasse 69, 80803 München (DE).

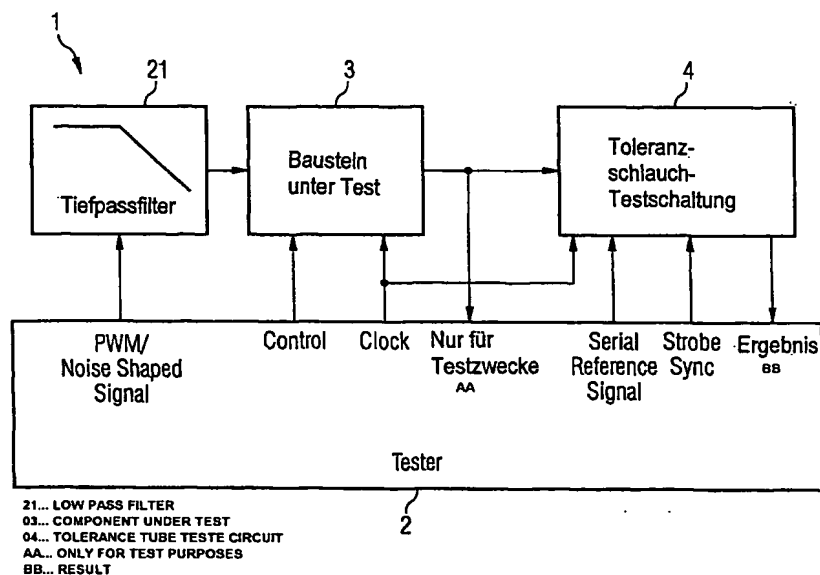
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,

[Fortsetzung auf der nächsten Seite]

(54) Title: ELECTRICAL CIRCUIT AND METHOD FOR TESTING ELECTRONIC COMPONENTS

(54) Bezeichnung: ELEKTRISCHE SCHALTUNG SOWIE VERFAHREN ZUM TESTEN VON ELEKTRONISCHEN BAUTEI-
LEN



(57) Abstract: Disclosed is an electrical test circuit (5) comprising a first input (51) for receiving a test signal of an integrated circuit (4), a second input (52) for receiving a control signal, and a third input (53) for receiving a normalized reference signal which is configured particularly in step with the test signal. The deviation and/or the amplitude and/or the phase of the reference signal and/or the test signal can be modified by means of a regulating device (55) of the electrical test circuit (5). A measuring device (56) generates a differential signal by subtracting the reference signal from the test signal, said differential signal being output via an output (54).

[Fortsetzung auf der nächsten Seite]

WO 2005/008896 A1



ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— mit internationalem Recherchenbericht

(57) Zusammenfassung: Die elektrische Testschaltung (5) umfasst einen ersten Eingang (51) zum Empfang eines Testsignals eines integrierten Schaltkreises (4), einen zweiten Eingang (52) zum Empfang eines Kontrollsignals und einen dritten Eingang (53) zum Empfang eines normierten, insbesondere synchron zum Testsignal ausgebildeten Referenzsignals. Mit einer Regeleinrichtung (55) der elektrischen Testschaltung (5) können die Abweichung und/oder die Amplitude und/oder die Phase des Referenzsignals und/oder des Testsignals verändert werden. Durch eine Messeinrichtung (56) wird durch Subtraktion des Referenzsignals vom Testsignal ein Differenzsignal erzeugt, das über einen Ausgang (54) ausgegeben wird.